

UNIVERSITATEA TEHNICĂ A MOLDOVEI

ȘCOALA DOCTORALĂ

Cu titlu de manuscris

C.Z.U: 621.3.049.774:004.94:004.4(043.2)

PLETEA IONICA-MARCELA

PROIECTAREA CIRCUITELOR INTEGRATE PE VERTICALĂ FOLOSIND SOFTURILE CURENTE 2D DE PROIECTARE DIGITALĂ

233.01 ” NANO-MICROELECTRONICĂ ŞI OPTOELECTRONICĂ”

Rezumatul tezei de doctor în științe inginerești

Conducător științific

ŞONTEA Victor, doctor în științe fizico-matematice, profesor universitar

CHIŞINĂU, 2026

Teza de doctor a fost elaborată în cadrul Departamentului „Microelectronică şi Inginerie Biomedicală”, Facultatea Calculatoare, Informatică și Microelectronică a Universității Tehnice a Moldovei.

Autor: PLETEA Ionica-Marcela

Conducător științific: ȘONTEA Victor, doctor în științe fizico-matematice, profesor universitar, Universitatea Tehnică a Moldovei.

Comisia de susținere publică:

- **MONAICO Eduard**, dr. hab., conf. cerc., Universitatea Tehnică a Moldovei, *președinte*
- **TROFIM Viorel**, dr. hab., prof. univ, Universitatea Tehnică a Moldovei, *membru*
- **LUPAN Oleg**, dr. hab., prof. univ., Universitatea Tehnică a Moldovei, *referent oficial*
- **GONTEAN Aurel**, dr. hab., prof. univ., Universitatea Politehnică Timișoara, *referent oficial*
- **BURDIA Dănuț**, dr., conf. univ., Universitatea Tehnică “Gh. Asachi” din Iași, *referent oficial*

Susţinerea publică a tezei va avea loc la data de 18.12.2026, ora 15:00, în şedinţa Comisiei de susținere publică a tezei de doctorat a Universității Tehnice a Moldovei (aprobată prin decizia Consiliului Științific din 22.09.2026, proces-verbal nr. 9), str. Studenților 9/7, blocul de studii nr. 3, sala 208, Chișinău, MD – 2068, Republica Moldova.

Teza de doctor şi rezumatul ştiinţific pot fi consultate la Biblioteca Tehnico-Științifică a Universității Tehnice a Moldovei şi pe pagina web a ANACEC (https.//www.anacec.md/).

Rezumatul a fost expediat la „ 13 ” noiembrie 2026

Autor: _____ PLETEA Ionica-Marcela

Conducător ştiinţific:
doctor fizico-matematice, profesor universitar, _____ ȘONTEA Victor

© Pletea Ionica-Marcela, Universitatea Tehnică a Moldovei, 2026

REPERELE CONCEPTUALE ALE CERCETĂRII

Actualitatea şi importanța temei abordate. Prin cercetarea şi dezvoltarea de noi metode de proiectare a circuitelor integrate 3D monolitice, se va deschide o nouă eră pentru Legea lui Moore în industria semiconductorilor şi industria microelectronică, deschizând calea pentru continuarea creşterii densității de integrare [1]. Un număr de studii au analizat circuitele integrate 3D monolitice dintr-o perspectivă teoretică. Davis, et al. a raportat o reducere de 3 ori a ariei totale de siliciu și o reducere de 12 ori a dimensiunilor pentru un circuit integrat realizat în tehnologie 3D monolitică pe 4 straturi, comparativ cu un circuit 2D [2]. Reducerea lungimii traseelor folosite pentru realizarea conexiunilor în circuit permite scăderea dimensiunii buffer-elor folosite pentru retransmitere și astfel se reduce distanța dintre porțile logice creându-se un "efect de feedback pozitiv" ce duce la reducerea semnificativă a ariei de siliciu. Zhou, et al. a raportat o îmbunătățire cu mai mult de un ordin de magnitudine în produsul (putere x arie x întârziere) pentru un decodor LDPC (decodor cu verificare de paritate de densitatea redusă) [3].

Un studiu [4] arată că diametrul trecerilor TSV (conexiune verticală prin siliciu între straturi) are un impact mare asupra ariei, lungimii traseelor, întârzierii și consumului de putere pentru circuite integrate 3D realizate în tehnologii de 45 și 22 nm. În plus, studiul arată că, dacă numărul trecerilor TSV este ales cu grijă, circuitul 3D este superior unui circuit 2D echivalent din punct de vedere al lungimii traseelor și a întârzierii. În cazul unui circuit de test aria totală ocupată de trecerile TSV este de aproximativ 40%. Datorită acestei dimensiuni crește și lungimea traseelor. Când sunt folosite treceri TSV cu diametru mai mic, dimensiunea ariei ocupate de acestea este doar de 11,2%, pentru același circuit de test. Astfel, se obține și o reducere a lungimii traseelor ce se traduce într-o întârziere a căii critice cu aproximativ 36% mai mică decât în cazul circuitului 2D.

Instrumentele EDA (automatizarea proiectării electronice) consacrate (ex. Synopsys, Cadence) nu oferă încă suport nativ pentru integrarea monolitică 3D pe o singură pastilă de siliciu, însă este de așteptat ca această capabilitate să fie dezvoltată în viitor. Un obiectiv al acestei teze este integrarea metodelor propuse în unelte EDA existente și validarea potențialului practic a fluxului de proiectare propus.

Tehnici inovative de proiectare și automatizare sunt imperativ necesare pentru realizarea integrării 3D cu succes. În special, partiționarea are un mare impact asupra performanțelor circuitului la toate nivelurile de abstractizare. Pe de altă parte, optimizările realizate la un nivel înalt de abstractizare pot conduce la avantaje mai mari decât cele realizate la un nivel scăzut. Astfel, partiționarea funcțională la nivel arhitectural prezintă avantaje mai mari decât partiționarea

circuitului la nivel fizic, deoarece partiționarea funcțională realizează optimizări la nivelul relației funcționalitate-conectivitate dintre blocurile logice. În plus, problemele ridicate de partiționarea la nivel arhitectural [5] pot avea o complexitate mai mică decât cele ridicate de partiționarea la nivel fizic (de ex. zeci, sute de blocuri logice comparativ cu milioane, miliarde de celule logice).

Problema partiționării funcționale este importantă în proiectarea circuitelor integrate, FPGA-urile fiind utilizate pentru prototiparea rapidă a ASIC-urilor datorită timpilor reduși de proiectare și costurilor mai scăzute. Integrarea FPGA-urilor cu circuite programabile FPIC a favorizat dezvoltarea arhitecturilor hardware reconfigurabile, iar una dintre provocările principale o reprezintă partiționarea optimă a circuitului între mai multe FPGA-uri [6].

Integrarea 3D monolitică folosește treceri MIV (conexiune verticală monolitică între straturi) cu dimensiuni reduse pentru conectarea diferitelor straturi active. Trecerile ILV (treceri între straturi) au dimensiuni asemănătoare cu dimensiunea minimă de realizare a componentelor prin proces fotolitografic și numărul lor într-un circuit integrat nu reprezintă o constrângere severă precum trecerile TSV sau numărul de pini I/O. Astfel, crește flexibilitatea de proiectare a circuitelor integrate prin posibilitatea de realizare a unor optimizări funcționale, de performanță și de cost. Scopul tezei este găsirea unor metode care fac practice aceste optimizări, în metodologia de proiectare al circuitelor integrate în tehnologie 3D monolitică.

Scopul lucrării: constă în dezvoltarea unei metodologii integrate pentru proiectarea și validarea experimentală a circuitelor monolitice 3D, cu accent pe adaptarea procesului de lucru, a fișierelor tehnologice, respectiv a instrumentelor tradiționale de implementare 2D, la integrarea pe verticală.

Obiective de cercetare propuse:

- Investigarea capabilităților instrumentelor EDA destinate proiectării ASIC 2D și identificarea etapelor, fișierelor tehnologice și bibliotecilor care pot fi adaptate pentru implementarea structurilor Monolithic 3D.
- Dezvoltarea unei metode de reprezentare a celui de-al doilea strat activ prin modelarea blocurilor de memorie cu structuri virtuale de tip serpentină și utilizarea atributului CLASS COVER, pentru a permite utilizarea eficientă a instrumentelor EDA 2D în implementările Monolitic 3D.
- Adaptarea etapelor principale ale fluxului de implementare fizică, inclusiv floorplanning-ul, plasarea, rutarea și verificarea fizică, astfel încât acestea să poată gestiona distribuirea funcționalităților pe două straturi active.
- Completarea bibliotecilor și fișierelor tehnologice cu parametri și atribute specifice integrării Monolitic 3D, necesare reprezentării și implementării structurilor tridimensionale

în cadrul fluxurilor ASIC 2D existente.

- Dezvoltarea și validarea unui flux complet de proiectare Monolitic 3D bazat pe reutilizarea infrastructurii EDA ASIC 2D, utilizând instrumentele Synopsys și analiza comparativă a implementărilor 2D și 3D din punct de vedere al ariei, interconectărilor, resurselor utilizate și performanței.
- Evaluarea unei strategii de partiționare bazate pe separarea memoriilor și a logicii pe două straturi active și determinarea impactului acesteia asupra densității de integrare și eficienței implementării Monolitic 3D.

Noutatea științifică a rezultatelor cercetării: constă în dezvoltarea și validarea unei metodologii complete de proiectare a circuitelor integrate Monolitic 3D utilizând exclusiv instrumente EDA destinate fluxurilor ASIC 2D. În cadrul cercetării a fost propusă o metodă originală de reprezentare a memoriilor prin intermediul unor structuri virtuale de tip serpentină, memoriile fiind definite în fișierele LEF utilizând atributul **CLASS COVER**, ceea ce permite modelarea celui de-al doilea strat activ în mediile de proiectare 2D și implementarea logicii sub blocurile de memorie. A fost elaborată și validată o strategie de partiționare logică–memorie pe două straturi active, integrată într-un flux unitar de implementare fizică Monolitic 3D. De asemenea, au fost evidențiate efectele integrării verticale asupra ariei, interconectărilor și rețelei de distribuție a semnalului de ceas și a fost demonstrată fezabilitatea implementării unor structuri neuronale hardware compatibile cu dezvoltarea viitoare a arhitecturilor bazate pe tehnologia Monolithic 3D.

Problema stiințifică de cercetare soluționată: constă în dezvoltarea și validarea unei metodologii care permite implementarea circuitelor integrate în tehnologie 3D monolitică utilizând instrumente EDA destinate proiectării ASIC 2D, prin modelarea memoriilor cu structuri virtuale de tip serpentină și adaptarea fluxului de implementare fizică la cerințele integrării verticale, eliminând astfel lipsa unui flux consacrat de proiectare pentru această tehnologie. Utilizând această metodologie de proiectare pot fi testate diferite configurații de circuite monolitice 3D, iar cercetările pot progresa în direcția asta pâna la optimizarea programelor care să permită integrarea monolitic 3D. De asemenea fișierele tehnologice utilizate pentru implementarea acestei metodologii pot constitui un punct de plecare pentru actualizarea bibliotecilor viitoare ce vor permite integrarea monolitic 3D. Această metodologie de proiectare 3D utilizând instrumentele 2D va ajuta producătorii de circuite integrate să fabrice circuite integrate mai performante și mai mici la aceleași costuri cu ajutorul echipamentelor de fabricație existente și deja amortizate.

Semnificația teoretică și valoarea aplicativă a lucrării: Metodologia propusă spre cercetare stă la baza creării unui proces complet pentru proiectarea circuitelor integrate folosind

tehnologia monolitică 3D. Proiectarea circuitelor integrate folosind această metodologie de proiectare va duce la dispozitive destinate uzului zilnic, mult mai performante, dar la același preț și care vor consuma mai puțină energie. Folosind aceleași echipamente, fabricile producătoare de circuite integrate vor putea ajuta la lansarea pe piață a următoarei generații de dispozitive. Tipurile de dispozitive care vor putea beneficia de aceste îmbunătățiri vor fi folosite pentru aplicații industriale, științifice, medicale, de cercetare, comerciale, militare și altele. Un exemplu de utilizare al acestor tipuri de circuite integrate ar putea fi echipamentele militare de apărare care vor asigura o performanță sporită, astfel vor salva mai multe vieți. Aceste circuite integrate pot sta la baza dezvoltării unor dispozitive medicale cu performanțe îmbunătățite. Totodată, metoda propusă pentru tehnologia Monolitic 3D prezintă un potențial ridicat de aplicabilitate în multiple domenii.

Tezele științifice înaintate spre susținere:

1. Dezvoltarea unei metodologii de implementare **Monolitic 3D** bazate pe instrumente EDA destinate proiectării ASIC 2D, demonstrând posibilitatea realizării implementării fizice tridimensionale fără modificarea instrumentelor comerciale, prin adaptarea fluxului de proiectare și a fișierelor tehnologice.
2. Dezvoltarea unei metode de abstractizare a memoriilor prin structuri virtuale de tip serpentine și definite în fișierele LEF cu atributul **CLASS COVER**, care permite reprezentarea celui de-al doilea strat activ și implementarea arhitecturilor Monolitic 3D utilizând un flux convențional de proiectare ASIC.
3. Integrarea Monolitic 3D a logicii și memoriilor conduce la reducerea semnificativă a ariei de implementare, a lungimii interconectărilor și a numărului de bufere inserate, îmbunătățind utilizarea suprafeței de siliciu și eficiența implementării fizice comparativ cu implementarea ASIC 2D.
4. Optimizarea rețelei de distribuție a semnalului de ceas într-o arhitectură Monolitic 3D reduce resursele necesare arborelui de ceas, aria ocupată de celulele de ceas și skew-ul, conducând la o sincronizare mai eficientă și la o distribuție mai uniformă a rețelei de ceas.
5. Dezvoltarea și validarea unei arhitecturi neuronale modulare tridimensionale, denumită **Grăunte Neuronal**, implementată pe FPGA și evaluată printr-un flux complet ASIC, demonstrează fezabilitatea utilizării acesteia ca element de bază pentru acceleratoare hardware dedicate aplicațiilor de inteligență artificială bazate pe integrarea Monolitic 3D.

Prezentarea rezultatelor cercetărilor științifice din cadrul tezei de doctorat.

Principalele rezultate ale tezei de doctorat au fost prezentate și discutate la:

- Conferința tehnică "*IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference S3S 2015*", USA, New Jersey, 2015.

- Conferința tehnico-stiințifică "*Conferința Internațională* "*Telecommunicații, Electronică și Informatică"*. Chișinău, Republica Moldova, 2018.
- Conferința tehnico-stiințifică "*Conferința Internațională* "*Telecommunicații, Electronică și Informatică"*. Chișinău, Republica Moldova, 2019.
- *„Conferinţa tehnico-ştiinţifică a studenţilor, masteranzilor şi doctoranzilor"*. Chișinău, Republica Moldova, 2019.
- *„International Conference on Electronics, Communications and Computing"*, IC ECCO Chișinău, Republica Moldova, 2024.
- Conferinta *International Symposium on Signals, Circuits, and Systems,* Iași, România, 2025.

De asemenea capitolul 5 din teză, intitulat "Perspective în dezvoltarea structurilor de calcul AI în tehnologia monolitic 3D" a fost conceput și editat în cadrul proiectului de cercetare "Regions and (E)DIHs alliance for AI-atthe-Edge adoption by European Industry 5.0 Manufacturing SMEs" , proiect ce face parte din programul European HORIZON-CL4-2022-TWIN-TRANSITION-0, codul proiectului este 101092069, acronim REDGIO 5.0. Adresa web a proiectului este: https://www.airedgio5-0.eu/.

Publicații la tema tezei. Rezultatele principale ale tezei au fost publicate în 10 articole stiințifice și anume 3 articole recenzate SCOPUS, 1 articol în revista JES din Registrul Național al revistelor de profil, 1 articol în revista Scientific Bulletin of UPT, precum și 8 lucrări prezentate și publicate la Conferințe Naționale și Internaționale, 3 dintre articole sunt indexate IEEE-Xplore (Lista publicațiilor este anexată la sfârșitul tezei).

Rezultatele obținute în cadrul prezentei cercetări au fost valorificate atât în mediul industrial, prin implementarea metodologiei dezvoltate în cadrul companiei Silicon Service SRL, cât și în mediul academic, prin utilizarea rezultatelor și a conținutului tezei ca material didactic în cadrul Facultății de Electronică, Telecomunicații și Tehnologia Informației din cadrul Universității Tehnice „Gheorghe Asachi" din Iași. Totodată, pe baza rezultatelor cercetării au fost depuse la OSIM România 2 cereri de brevet de invenție privind metodologia propusă. Documentele care atestă implementarea industrială și academică, precum și depunerea cererilor de brevet, sunt prezentate în Anexe.

Volumul și structura tezei: Teza este constituită din introducere, cinci capitole, concluzii generale și recomandări, bibliografia din 141 titluri și 6 anexe. Conține 113 pagini de text, 61 de figuri și 5 tabele.

Cuvinte-cheie: circuite integrate, nanotehnologii, integrare pe verticală, monolitic 3D, EDA.

CONȚINUTUL TEZEI

În **Introducere** este argumentată actualitatea temei, descrisă situația actuală în domeniu, scopul şi obiectivele cercetării, noutatea științifică a rezultatelor cercetării, problema stiințifică de cercetare soluționată, semnificația teoretică și valoarea aplicativă a lucrării, tezele științifice înaintate spre susținere, prezentarea rezultatelor cercetărilor științifice din cadrul tezei de doctorat, publicațiile la tema tezei şi sumarul compartimentelor tezei.

În ***Capitolul 1*** sunt prezentate tehnologiile actuale de implementare a circuitelor integrate 3D și sunt explicate tehnologiile TSV și monolitic 3D. Se efectuează o sinteză a tehnologiilor folosite la implementarea circuitelor integrate la modul general și a modalităților de implementare a circuitelor 3D. Se face o analiză comparativă între tehnologiile actuale de implementare 3D și sunt trase concluzii despre avantajele respectiv dezavantajele fiecărei tehnologii în parte.

Tehnologia tridimensionala 3D a apărut ca o soluție promițătoare pentru a crește performanțele circuitelor integrate, într-o arie mai mică și cu lungimea redusă a interconexiunilor. Integrarea 3D reprezintă o tehnologie de ultimă generație, care s-a dezvoltat în ultimii ani și care a venit cu numeroase beneficii ca: performanță îmbunătățită a circuitelor integrate, arie mai mică și consum de energie scăzut.

O etapă intermediară între implementarea 2D a circuitelor integrate și integrarea 3D a constituit-o integrarea 2.5D, care a avut o contribuție importantă în evoluția procesului de integrare pe verticală. Cerința tot mai mare de performanță a circuitelor integrate, care să mențină costurile de producție la niveluri rezonabile, a condus la integrarea 2.5D și ulterior la integrarea pe verticală 3D. Tehnologia 2.5D nu se realizează pe verticală, ci se referă la tehnica de împachetare, în care mai multe cipuri (die-uri) sunt plasate unul lângă altul pe un substrat comun intermediar (siliciu, sticlă sau material organic). Cipurile sunt interconectate între ele, prin micro-bumps (structuri conductive foarte mici) și uneori prin intermediul TSV-urilor [7], în interiorul stratului intermediar, obținând astfel performanțe și densitate mai bune decât în cazul circuitelor integrate 2D, însă fără complexitatea deplină a suprapunerii 3D.

Un circuit integrat tridimensional 3D reprezintă o configurație în care mai multe straturi de circuite integrate sunt conectate pe verticală între ele, iar conexiunea se face fie la nivel de substrat (wafer) de Siliciu, fie la nivel de circuit integrat individual. La ora actuală sunt cunoscute câteva tehnici de implementare a circuitelor integrate tridimensionale, iar cele mai importante sunt:

1. Suprapunerea substraturilor de Siliciu – Wafer Bonding – în această metodă, substraturile de Siliciu sunt fabricate și procesate individual, iar apoi sunt suprapuse și conectate între ele folosind diferite tehnici.

2. Suprapunerea circuitelor integrate individuale – Die Stacking – în această metodă circuitele integrate sunt decupate de pe substratul de Siliciu și apoi sunt suprapuse și conectate între ele individual.
3. O metodă diferită de cele anterioare este tehnologia "Monolitic 3D" în care fiecare strat este fabricat unul peste altul pe același substrat de Siliciu, fără a mai fi necesară suprapunerea și conectarea ulterioară a substraturilor de Siliciu ori a circuitelor integrate individuale.

Primele două metode de integrare tridimensională, necesită o precizie ridicată în alinierea substraturilor (wafere-lor) de Siliciu, respectiv a circuitelor integrate individuale, iar suprapunerea și conectarea lor se face după fabricarea circuitelor integrate. În cazul primei metode unde conectarea se face la nivel de substrat de Siliciu, toate die-urile sunt procesate simultan, iar a doua metodă permite testarea individuală a fiecărui circuit reducând riscul integrării unor componente defecte. Ambele metode folosesc pentru conectarea straturilor, via-uri numite TSV și care nu sunt altceva decât găuri umplute cu material conductor create prin perforarea siliciului. La nivel de substrat (wafer) de Siliciu, TSV-urile sunt create pentru a realiza conectivitatea electrică între straturile multiple ale unui substrat de Siliciu, iar la nivel de die (de circuit integrat individual) TSV-urile sunt create pentru a conecta cipurile suprapuse într-o arhitectură tridimensională. În figura 1 se poate observa cum sunt conectate două circuite individuale (2 die-uri) folosind metoda de conectare cu TSV-uri [8].

În timp ce dispozitivele 3D cu TSV-uri înregistrează progrese semnificative, dimensiunile mari ale TSV-urilor – de ordinul a 3-5 microni în diametru – și grosimea semnificativă a straturilor suprapuse, limitează beneficiile acestei abordări. În ultimii ani, o altă abordare (figura 2) care utilizează un strat subțire – sub 1 micron – pentru stivuire 3D monolitică a straturilor semiconductoare, a devenit fezabilă și promite beneficii mult mai mari decât cele disponibile prin abordarea care folosește TSV-uri. În particular, MIV-urile (figura 2) în procesul de integrare 3D monolitică [9], sunt cu două ordine de mărime mai mici decât TSV-urile și permit o conectivitate verticală mult mai densă, permițând noi arhitecturi de sisteme și randamente (yield) mai mari. În plus, straturile subțiri și conectivitatea mai densă permit o îndepărtare mai ușoară a căldurii și un preț mai scăzut de fabricație. Tehnologia monolitic 3D este o tehnologie avansată, folosită la construirea circuitelor tridimensionale, în care straturile de tranzistoare sunt construite unul peste altul în același substrat de Siliciu fără a mai fi necesară suprapunerea și alinierea substraturilor de Siliciu ori a circuitelor integrate individuale, ca în cazul tehnologiei TSV unde aceste procese sunt necesare pentru a crea circuite integrate tridimensionale

Procesul de fabricare a circuitelor integrate cu tehnologie monolitic 3D începe cu stratul standard de silicon, folosit ca substrat, peste care se construiește primul strat de tranzistoare. După ce primul strat de tranzistoare și interconexiunile dintre ele sunt fabricate, se utilizează un strat dielectric ILD care izolează stratul de tranzistoare de stratul inferior. Un strat subțire de siliciu este apoi depus peste ILD folosind o tehnică numită LTCVD, iar acest strat de siliciu va fi substratul următorului strat de tranzistoare. Procesul de fabricare al celui de-al doilea strat de tranzistoare este identic cu cel de fabricare al primului strat, implicând dopare, modelare și gravare. Interconexiunea între straturile de tranzistoare se face utilizând MIV-uri, care sunt asemănătoare ca dimensiune cu via-urile folosite la interconexiunile dintre metale în tehnologia planară 2D. O ilustrare a dimensiunilor MIV-urilor folosite pentru conexiunea pe verticală în tehnologia monolitic 3D poate fi observată în figura 2.

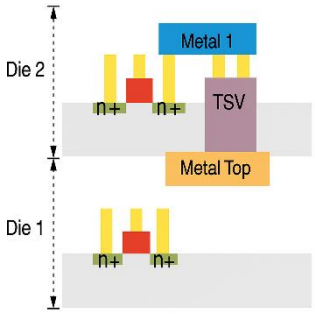


Fig. 1. Conectarea a două circuite integrate individuale cu TSV [8]

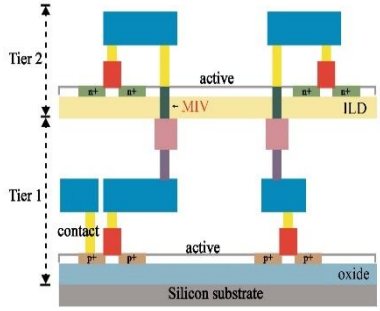


Fig. 2. MIV realizat între 2 straturi în tehnologia monolitic 3D [8]

Tehnologia monolitică de integrare 3D este o abordare demonstrată fizic și viabilă din punct de vedere tehnic, dar rămâne predominantă în domeniul cercetării avansate și al prototipurilor de laborator experimentale [10]. În timp ce mai multe implementări au fost fabricate și testate cu succes, pentru a dovedi conceptul, totuși ele rămân limitate la setările academice și pre-comerciale.

În ***Capitolul 2*** este descris un proces complet de implementare al unui circuit integrat planar 2D, modelat și optimizat cu informații obținute după rularea mai multor proiecte reale (proiecte în cadrul cărora au fost manufacturate circuite integrate care sunt acum utilizate pe piață) și în care s-au parcurs toate etapele de producere a circuitelor integrate. Toate etapele necesare pentru manufacturarea unui circuit integrat optim sunt abordate sistematic, începând cu descrierea funcționalității circuitului utilizând un limbaj de descriere hardware (HDL), urmată de sinteză, verificare funcțională, pregătirea circuitului pentru testabilitate (DFT), plasare, generarea arborelui de ceas (clock tree) și rutare, până la generarea fișierului final transmis fabricii, însoțit de specificațiile tehnologice aferente procesului de fabricație.

În ***Capitolul 3*** este abordată tema partiționării circuitelor integrate, o etapă foarte importantă în procesul de trecere de la proiectarea circuitelor integrate în tehnologie 2D la integrarea 3D. În această etapă de partiționare, practic se decide exact ce componente (atât celule logice cât și blocuri de memorii) sunt plasate pe fiecare strat, astfel încât numărul de conexiuni verticale (MIV sau TSV în funcție de tehnologia utilizată) să fie cât mai mic. Cu cât partiționarea este mai optimă, cu atât scade numărul de conexiuni verticale și astfel este redus consumul de energie, întârzierile pe traseele de semnal sunt micșorate, iar rutarea este mai puțin complexă.

Momentul integrării algoritmului de partiționare în procesul de implementare a circuitelor integrate este esențial pentru obținerea unor rezultate optime în ceea ce privește performanța, consumul energetic și scalabilitatea tridimensională [11]. În mod tradițional, partitionerul este introdus imediat după sinteza logică, într-un moment în care netlistul este deja definit, dar încă nu a fost supus etapelor de plasare și rutare fizică. Această poziționare strategică permite împărțirea eficientă a componentelor circuitului în grupuri funcționale sau clustere, care pot fi ulterior alocate fiecărui strat într-o implementare 3D, sau fiecărui bloc local în contextul unui circuit 2D. Integrarea timpurie a unei etape de partiționare permite optimizarea conexiunilor interne, reducerea congestiei și minimizarea numărului de TSV-uri sau MIV-uri în cazul arhitecturilor 3D, contribuind astfel la îmbunătățirea disipării termice și la scăderea latenței globale.

În ***Capitolul 4*** este prezentată o metodologie originală de implementare a unui circuit integrat tridimensional (3D) prin suprapunerea memoriilor deasupra celulelor logice standard dintr-un circuit, care conține 50% memorii și 50% logică, folosind programele existente pentru circuite bidimensionale (2D) de la Synopsys. Folosind această metodologie s-au implementat 3 configurații de circuite și s-au prezentat avantajele integrării 3D comparativ cu 2D [12-14]. Implementarea 3D s-a realizat modificând fișierele tehnologice și adaptând procesul de lucru astfel încât instrumentele 2D să permită suprapunerea memoriilor peste celulele logice standard fără a raporta erori de suprapunere [15]. Toate imaginile care conțin implementarea fizică a circuitului (layout-ul) sunt capturi de ecran din programul cu care s-a realizat procesul (partea Backend) de proiectare a circuitului integrat.

Prin urmare cercetarea pentru integrarea 3D s-a realizat cu ajutorul programelor de proiectare 2D, prin adaptarea fișierelor de intrare astfel încât să permită suprapunerea memoriilor peste logica funcțională care le însoțește. Unul dintre scopurile realizării integrării 3D este de a reduce complexitatea interconexiunilor și întârzierile asociate în tehnologia standard 2D. Acestea sunt considerate ca fiind principalele obstacole în calea creșterii în continuare a performanțelor pentru generațiile viitoare de circuite integrate. S-a ales pentru sinteza circuitului programul Design Compiler de la Synopsys, iar pentru etapa de plasare și realizarea interconexiunilor, parte

numită **place and route,** s-a folosit IC Compiler tot de la Synopsys. Tehnologia folosită la implementare este o tehnologie open source de la Synopsys în 32 de nanometri din pachetul educațional SAED_EDK32/28 Synopsys.

Pentru realizarea procesului de integrare tridimensională, s-a ales un circuit specific (dar metoda poate fi aplicată și la alte arhitecturi/circuite) care include două categorii principale de componente, care pot fi distribuite în mod aproximativ egal pe două straturi astfel:

- Pe un strat s-au plasat peste 30.000 de porți logice standard, utilizate pentru implementarea funcțiilor logice ale circuitului.
- Pe un al doilea strat s-au plasat 9 memorii, utilizate pentru stocarea datelor.

Această separare dintre porțile logice standard și memorii s-a făcut astfel încât aria celulelor de pe fiecare strat să fie distribuită uniform, iar fiecărui strat să i se aloce aproximativ 50% din suprafața totală a circuitului 3D. Această metodologie asigură o distribuție echilibrată a resurselor și optimizează utilizarea spațiului în cadrul procesului de integrare 3D.

Circuitul ales pentru implementare este un bloc care aparține procesorului openSPARC T2 cunoscut anterior ca UltraSparc T2, care este o arhitectură open-source dezvoltată de Sun Microsystem și care este un procesor de tip multi-core și multi-thread proiectat pentru performanțe ridicate în aplicații server. Blocurile componente principale din arhitectura procesorului openSPARC T2 sunt prezentate in figura 3 [16]:

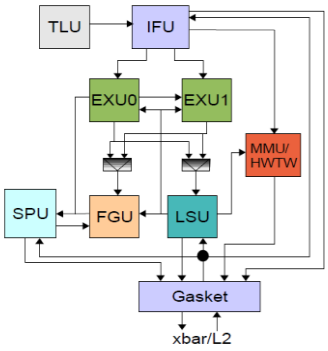


Fig. 3. Diagrama bloc a procesorului openSPARC T2 [16]

Blocul ales pentru implementarea în 3D este LSU și selecția acestuia s-a făcut în urma unei analize riguroase post sinteză efectuată pe toate blocurile componente ale procesorului openSPARC T2. Principalul criteriu de selecție a fost identificarea unui circuit care să aibă o arie a logicii funcționale aproximativ egală cu aria totală a memoriilor folosite la implementarea circuitului 3D. Procesul de sinteză a blocurilor componente a procesorului openSPARC T2 a implicat evaluarea caracteristicilor fiecărui bloc în parte din punct de vedere al ariei, complexității și compatibilității cu integrarea 3D.

Blocurile de memorie utilizate la implementarea circuitului 3D constau în 8 memorii de tip SRAM_128x30slp și o memorie de tip SRAM_128x38slp și sunt generate cu SAED Memory Compiler. SAED Memory Compiler reprezintă un set de instrumente utilizat pentru a genera blocuri de memorie personalizate într-un proces specific de 90nm, 45nm, 32 nm, bazat pe tehnologia SAED, care reprezintă o bibliotecă academică oferită de Synopsys în scop educațional și pentru proiectele de cercetare.

După etapa de sinteză, aria totală a blocurilor de memorie este de aproximativ **180000 µm²**, în timp ce aria celulelor logice standard ce s-au plasat pe primul strat este de aproximativ **115000 µm²**. Aceste valori reprezintă estimările preliminare ale suprafeței utilizate în design, înainte de parcurgerea etapelor de plasare, crearea arborelui de ceas, optimizări și rutarea conexiunilor.

Circuitul s-a implementat folosind o tehnologie CMOS de 32 nanometri, pusă la dispoziție în scop educațional, sub formă de pachet „open source", de către Synospys. Această tehnologie face parte din biblioteca SAED_EDK32/28nm, care respectă regulile de proiectare aferente procesului SAED32/28nm 1P9M 1.05V/1.8V/2.4V. Caracteristicile tehnologice specifice acestui pachet tehnologic educațional aparținând companiei Synopsys, conține suport pentru 10 straturi metalice, pornind de la metalul 1 (M1) și până la RDL (care reprezintă metalul superior, top metal) și condițiile de operare care includ tensiunile 1.05 V, 1.8V, 2.5V și temperaturile -40 C, +25 C respectiv +125 C.

Implementarea și analiza performanțelor circuitului s-a realizat în condiții tehnologice specifice și anume, la fel ca în cazul clasic de integrare 2D, s-au utilizat cele 2 cornere din tehnologie care conțin condițiile cele mai favorabile, respectiv cele mai dificile. Utilizând cele 2 cornere extreme pentru analiza de timp și putere, funcționarea circuitului este asigurată într-un spectru larg de condiții de funcționare, întregul spectru fiind acoperit de cele 2 cornere.

Folosind circuitul și tehnologia descrise anterior, în etapa inițială s-a urmat procedura de lucru clasică pentru implementarea unui circuit pe un singur strat, corespunzătoare integrării planare 2D. Plasarea obișnuită 2D a circuitului (figura 4) care conține logică și memorii pe un singur strat poate fi observată în figura 4, unde în prima fază au fost plasate memoriile, iar apoi în funcție de constrângerile de timp și de conexiunile dintre componente s-a plasat logica în jurul memoriilor. Atât logica cât și memoriile sunt plasate pe un singur strat. Circuitul ales pentru implementare conține 50% memorii și 50% porți logice, astfel încât plasarea în aria aleasa să se facă optim și să se pună clar în evidență avantajele integrării tridimensionale.

Etapele parcurse sunt cele clasice din fluxul de lucru 2D de proiectare a circuitelor integrate.

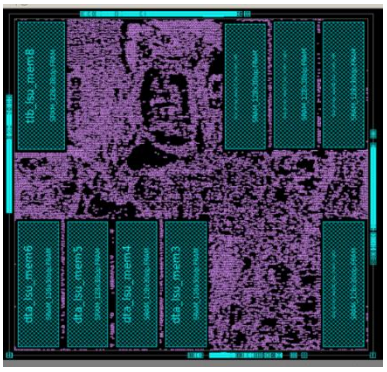


Fig. 4. Plasare memorii și porți logice 2D

În cadrul etapei de backend pentru integrarea planară 2D au fost analizate și optimizate etapele fluxului de proiectare ulterioare sintezei, cu scopul obținerii unor circuite optimizate atât din punct de vedere al frecvenței de operare, cât și al ariei ocupate [17]. Metodologia de proiectare presupune parcurgerea succesivă a etapelor și identificarea timpurie a problemelor care pot afecta procesul de proiectare și fabricare a circuitelor integrate. Problemele nedetectate în etapele inițiale pot conduce la creșterea timpului de proiectare și fabricare, proporțional cu numărul și gravitatea acestora. Prin analiza și rafinarea fluxului de lucru, identificarea blocajelor și a problemelor în fazele incipiente, precum și prin optimizarea metodologiei de fabricare, a fost urmărită reducerea erorilor pe întregul parcurs, de la sinteză până la proiectarea finală pregătită pentru fabricație. Pentru eficientizarea procesului au fost dezvoltate scripturi pentru automatizarea etapelor de floorplanning, power planning, plasarea celulelor standard și a blocurilor de memorie, construirea arborelui de ceas, rutarea conexiunilor, precum și realizarea analizelor fizice și logice.Metodologia folosită la plasarea memoriilor deasupra celulelor logice în cazul integrării 3D, este compusă din pași care utilizează în mare parte elemente ale metodologiilor existente de proiectare a circuitelor integrate 2D, dar care este completată cu pași specifici și necesari pentru integrarea 3D.

Utilizând fluxul de lucru 2D de proiectare a circuitelor integrate, în prima etapă s-au plasat memoriile și pinii de intrare respectiv ieșire și s-au fixat pozițiile lor în locațiile respective. Pentru fiecare memorie de pe stratul 2 s-a generat o reprezentare specială care să permită programului de proiectare a circuitelor integrate 2D plasarea de celule logice sub memorii. Pentru a evita suprapunerea memoriilor peste alte memorii separarea pe cele două straturi s-a făcut astfel: memorii pe stratul 2 și logică pe stratul 1. Generarea reprezentării memoriilor a implicat o formă specială de serpentină a cărei pas a fost mai mic decât cea mai mică memorie din circuit, ca în figura 5. Serpentina permite programului de proiectare să plaseze logica sub memorii, dar nu va permite să fie plasate memoriile unele peste altele. Înainte de a se ajunge la această reprezentare a memoriilor sub forma de serpentină, au fost testate reprezentări sub forme de litere pentru memorii și anume U, L, T, E, F, H, “MELC” dar s-au dovedit a nu fi la fel de eficiente pentru că în procesul

de plasare automată a memoriilor, programul permite, în unele cazuri, suprapunerea memoriilor între ele.

Utilizând reprezentarea memoriilor sub formă de serpentină, instrumentul 2D de proiectare a circuitelor integrate, vede o utilizare a ariei mult mai mică (~1%) decât în cazul în care sunt folosite memoriile în forma lor reală, iar aceasta permite acceptarea memoriilor și a logicii în 50% din aria reala (~49% este logica funcțională și ~1% sunt memorii).

În prima etapă din fluxul de lucru de backend, etapă numită floorplan, cele 9 blocuri de memorie cu forme speciale de serpentină sunt plasate în aria calculată pentru plasarea celulelor logice și sunt fixate pe poziții după cum se poate observa în figura 5. Această plasare a blocurilor de memorii cu forme speciale de serpentine, forțează programul 2D să calculeze o arie mai mică necesară plasării memoriilor și va permite plasarea celulelor logice pe primul strat, sub memorii, fără a raporta erori de suprapunere între cele 2 straturi și fără a a vedea o utilizare mai mare de 100%. Tot în aceasta etapă de floorplan sunt plasați și pinii circuitului pe marginea die-ului.

În etapa a doua s-a realizat plasarea globală a logicii sub memorii în funcție de constrângerile de timp și de conexiunile dintre componente, așa cum se observă în figura 6. Utilizarea ariei folosită pentru plasarea logicii, crește în cazul integrării 3D a circuitului, având în vedere micșorarea suprafeței pe care se plasează întreaga logică a blocului LSU. De asemenea, lungimea conexiunilor dintre componente se reduce datorită scurtării distanței dintre acestea – așezarea pe verticală.

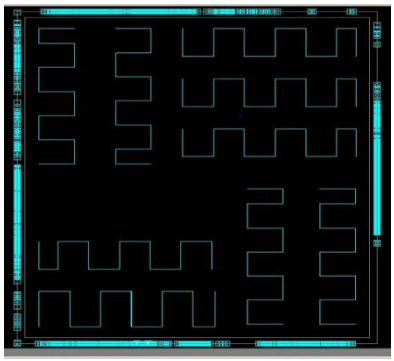


Fig. 5. Memorii cu formă de serpentină plasate în etapa de floorplan

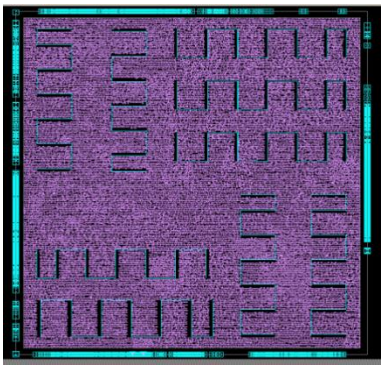


Fig. 6. Memorii cu formă de serpentină plasate deasupra celulelor logice [17]

După plasarea globală a logicii, s-a efectuat plasarea detaliată a componentelor logice care a implicat optimizarea componentelor logice și a legăturilor dintre ele, fapt evident prin creșterea ariei celulelor combinaționale și a numărului de buffere respectiv inversoare folosite pentru respectarea constrângerilor de timp din circuit. Această creștere este mai mică în cazul implementării 3D datorită micșorării distanțelor între memorii și logica aferentă.

Parcurgerea etapelor de implementare 3D a circuitului până la această fază, s-a făcut modificând fișierele tehnologice, precum și scripturile folosite în fluxul de lucru de implementare. Modificările s-au realizat iterativ, adaptând și modificând metoda de implementare în funcție de rezultate. După plasarea memoriilor sub formă de serpentină deasupra celulelor standard din circuit, s-au înlocuit „reprezentările serpentină” cu „reprezentările fantomă” (reprezentări care permit suprapunerea totală a memoriilor cu celulele standard logice) și se poate observa în figura 7 modul în care memoriile fantomă înlocuiesc memoriile serpentină. Nu s-au putut folosi reprezentările fantomă de la începutul fazei de plasare, și au trebuit înlocuite cu reprezentările serpentină, pentru că doar primul pas de plasare globală (create_placement) nu ia în calcul atributul de OVERLAP folosit în reprezentările fantomă – din acest motiv programul vedea o utilizare spre 200%.

Înlocuirea formelor memoriilor sub formă de serpentină cu memorii fantomă, se face doar după prima etapă de plasare din fluxul de lucru. Înlocuirea cu memoriile reale se face doar la final, înainte de exportul de GDSII (Graphic Data System II). Trecerea dintr-o etapă în alta a fluxului de lucru se face folosind reprezentările virtuale (serpentină respectiv fantomă) ale memoriilor pentru a evita posibilele erori de DRC (de plasare și de rutare) care ar apărea în cazul în care s-ar folosi memoriile reale. Înlocuirea memoriilor cu formă de serpentină cu memorii fantomă este necesară pentru a folosi spațiul ocupat anterior de serpentină în vederea rezolvării problemelor de sincronizare și evident folosirea optimă a ariei. S-a făcut o optimizare de plasare care a rearanjat celulele logice ținând cont de constrângerile de timp și arie. În figura 8 se poate observa rearanjarea respectiv plasarea automată a celulelor logice sub memorii după optimizare și reumplerea spațiilor lăsate de plasarea memoriilor în formă de serpentine.

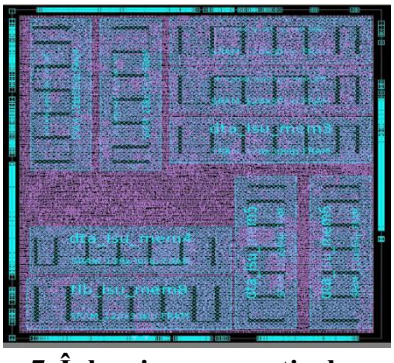


Fig. 7. Înlocuirea serpentinelor cu memoriile fantomă din fișierele tehnologice

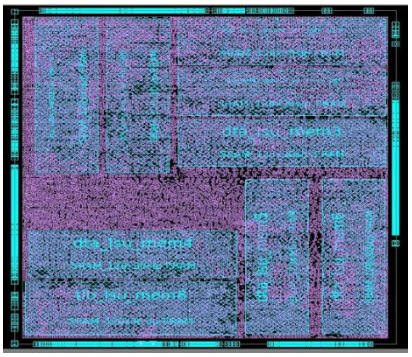


Fig. 8. Plasarea finală a memoriilor deasupra celulelor standard

În continuare se face o descriere detaliată a etapelor premergătoare și a etapelor parcurse pentru plasarea blocurilor de memorie peste celulele logice. În mod obișnuit, programul 2D operează într-o singură dimensiune, vizualizând doar primul strat al circuitului și nu este capabil

să perceapă sau să integreze al doilea strat. Astfel, se va detalia procesul de depășire a acestei limitări tehnice și implementarea unei metode care permite plasarea blocurilor de memorie într-o zonă destinată exclusiv celulelor logice, conform restricțiilor impuse de specificațiile programului utilizat.

Etapa 1: Evaluarea circuitului

Înainte de a ajunge la concluzia că cel mai potrivit circuit trebuie să aibă jumătate memorii și jumătate celule logice, au fost testate blocuri funcționale de diferite dimensiuni și în diferite arii. Însă cel mai optim bloc funcțional în care să se pună în evidență avantajele integrării 3D comparativ cu integrarea 2D, folosind metoda descrisă anterior, este cel în care blocurile de memorie ocupă jumătate din arie și pot fi plasate pe stratul 2, iar celulele logice ocupă cealaltă jumătate de arie și pot rămâne pentru a fi plasate pe primul strat. Cele două straturi au utilizări diferite, dar asta depinde de mărimea circuitului, de mărimea blocurilor de memorie, de numărul blocurilor de memorie și de forma circuitului. Forma suprafeței (în care sunt plasate celulele logice) aleasă în situația expusă este dreptunghiulară pentru a încadra cel mai optim memoriile în arie, dar în cazul general al unui circuit integrat care trebuie implementat, forma depinde de constrângerile circuitului. Există mici excepții de la regula 50% memorii și 50% celule logice standard în cazul circuitului implementat și analizate în această lucrarea și ele pot fi concretizate astfel:

Excepția 1: Există memorii personalizate care permit alipirea pe 3 laturi – au toți pinii pe o singura latura. Astfel de memorii vor permite în 3D alipirea pe toate cele 4 laturi în faza de plasare și asta poate conduce la o utilizare de 100% pe stratul al 2-lea [18].

Excepția 2: Memoriile mici ca dimensiune pot rămâne pe stratul 1, alături de celulele logice standard [18].

Toate componentele din circuit, celulele logice standard și memoriile, au toate modelele necesare în formatele următoare: .lib (fișier în care sunt modelate întârzierile prin componente și consumul de energie), .db (fișier obținut după compilarea modelului .lib), .LEF (fișier care conține reprezentarea fizică a componentelor și parametrii electrici) respectiv .MW (librăriile milkyway care sunt generate din compilarea librăriilor în format .LEF împreună cu fișierul tehnologic .tf și librăriile compilate în format .db și transformate în model vizibil).

Deoarece pinii memoriilor pe Metal 1 ar crea probleme în timpul plasării din cauza faptului că toate celulele logice standard au pinii pe Metal 1 și astfel pot apărea scurtcircuite, toți pinii memoriile sunt mutați pe Metal 7 (implementarea are loc pe 6 metale) și astfel putem considera Metal 7 ca fiind primul metal de pe stratul al doilea.

Considerând aria memoriilor și utilizarea ariei de pe stratul al doilea, precum și aria celulelor logice standard și utilizarea ariei de pe stratul 1, se poate calcula un factor de reducere pentru dimensiunea memoriilor. Fiecare memorie trebuie redusă cu acest factor pe fiecare dintre cele 4 laturi, lațimea și înălțimea memoriilor se reduce cu 2 înmulțit cu factorul de reducere. Aceasta se datorează modului în care instrumentul 2D de la Synopsys evaluează aria întregului circuit în etapa de început a plasării blocurilor de memorie. Instrumentul 2D Synopsys de evaluare și verificare a ariei circuitului nu întelege și nu cunoaște cel de-al doilea strat și consideră ca tot circuitul este plasat pe același strat, prin urmare o utilizare a ariei mai mare de 100% nu este acceptabilă . Aria totală a blocurilor de memorie ar trebui să fie echivalentă cu aria celulelor logice standard (de exemplu o utilizare de 90% pe stratul al doilea duce la o reducere a ariei totale a blocurilor de memorii cu aria celulelor logice considerând o utilizare de 100%), minus 10% din aria de pe stratul al doilea. Această micșorare a dimensiunii memoriilor este necesară pentru a permite instrumentului de plasare să poată optimiza plasamentul, altfel în situația în care memoriile ar ocupa 100% instrument de plasare nu ar avea opțiuni de plasare.

Etapa 2: Plasarea blocurilor de memorii

În aceasta etapă, fișierele tehnologice LEF, care conțin informații despre forma fizică a memoriilor și pozițiile pinilor, sunt actualizate cu noile valori ale dimensiunilor blocurilor de memorii, obținute după reducerea dimensiunilor pe fiecare parte cu valoarea calculată în faza inițială. O altă actualizare care apare în fișierele tehnologice LEF, este forma de ”serpentină”, care reprezintă o obstrucție având forma de ”șarpe”, care are o ”constanta de pas a meandrului” mai mică decât dimensiunea (lățimea și lungimea) celei mai mici memorii de pe stratul al doilea. În figura 9 au fost puse în evidență “constanta de pas a meandrului” și forma de “șarpe” a unui bloc de memorie. Aceste actualizări din fișierele tehnologice LEF, formă și dimensiune, împreună cu fișierele originale .db sunt folosite pentru a genera noile fișiere folosind Milkyway de la Synopsys, fișiere care conțin informații despre noile forme ale blocurilor de memorii, fișiere numite “serpentine reduse”. Astfel este definit pentru fiecare memorie un “HALO”, care reprezintă spațiul liber (tradus ca și blocaj de plasare pentru orice fel de celulă) lăsat în jurul memoriilor la plasarea automată și a cărui valoare este egală cu 2 înmulțit cu factorul de reducere a memoriilor plus distanța minimă dintre memorii (s-a calculat 5 microni distanța minimă dintre memorii). Cu această lațime a “HALO”-ului se poate trece de etapa de verificare a ariei de către instrumentul 2D de verificare a ariei după plasarea blocurilor de memorie. Factorul de reducere în situația de față este de 15 microni, prin urmare “HALO” are valoarea de 35 microni.

Instrumentul care plasează toate blocurile de memorii, poziționează toate blocurile fără a le suprapune datorită formei de „șarpe” și fără a le plasa prea aproape unul de altul datorită cerinței

de “HALO”. Plasarea care rezultă ținând cont de acești noi parametri definiți, este făcută pastrând o anumită distanță între blocurile de memorii, precum și între blocurile de memorii și marginea circuitului, distanță ce are o valoare care va permite ulterior expandarea blocurilor de memorii la forma reală fără a suprapune memoriile între ele în interiorul ariei necesare plasării memoriilor.

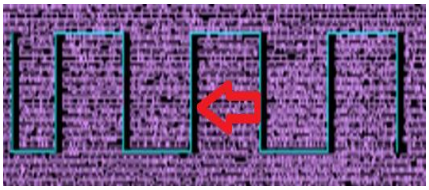


Fig. 9. Forma de șarpe și constanta de pas a meandrului

Etapa 3: Plasarea detaliată

În această etapă se folosesc fișiere Milkyway numite “serpentine”, fișiere care sunt generate folosind fișierele .db originale și fișierele tehnologice .LEF actualizate cu forma „șarpe”. Fișierele “serpentină” utilizate în această etapă conțin memorii sub formă de serpentină de dimensiune neredusă, “șarpele” este extins până la marginea memoriei reale. Pentru a transmite informațiile de plasare a blocurilor de memorii de la etapa 2 la etapa 3 sunt două modalități: prima metodă este copierea bazei de date din etapa 2 și legarea acesteia la noua biblioteca Milkyway, iar a doua metoda constă în salvarea plasării blocurilor de memorii în etapa 2 și încărcarea acesteia în etapa a 3 a. A doua metodă este mai eficientă și odată realizată această metodă, plasarea blocurilor este blocată. Plasarea obișnuită, similară cu plasarea în fluxul de lucru 2D urmează după această fază. Se continuă fluxul de lucru de proiectare a circuitelor integrate și se construiește arborele de ceas în cele 2 scenarii 2D și 3D. Se prezintă arhitectura arborelui de ceas în cele două scenarii de integrare: 2D (planară) și 3D (tridimensională) și se analizează rapoartele generate după implementare. Scopul acestei analize este de a compara caracteristicile fiecărui scenariu și de a evidenția avantajele pe care integrarea tridimensională le poate oferi față de abordarea tradițională 2D.

După etapa de plasare a componentelor circuitului urmează implementarea arborelui de ceas în vederea obținerii unui skew eficient prin inserarea de buffere și inversoare pe căile semnalului de ceas. Sinteza arborelui de clock reprezintă o etapă importantă în fluxul de lucru de proiectare a circuitelor integrate și joacă un rol important în implementarea unui arbore de clock echilibrat care să ajute la atingerea constrângerilor de timp din circuit. Scopul principal în construirea arborelui de ceas este de a reduce atât latența pe arbore cât și skew-ul dintre componentele secvențiale din circuit, care sunt critice din punct de vedere al timing-ului și în același timp de a menține o arie cât mai mica a circuitului.

S-a implementat în primă fază arborele de ceas pentru integrarea 2D a circuitului și în figura 10 sunt puse în evidență prin marcarea cu alb, bufferele și inversoarele care formează arborele de ceas implementat pentru o perioada de 3ns. Structura arborelui de ceas în scenariul 2D cuprinde 8 niveluri cu 274 de buffere, respectiv inversoare care ajung la cele 7729 de celule secvențiale din circuit.

După plasarea logicii pe stratul 1 și a blocurilor de memorii sub formă de serpentină pe stratul 2, s-a implementat arborele de ceas pe stratul 1 (figura 11) în dimensiunea 3D folosind instrumentul de construire al arborelui de ceas încorporat în ICC Synopsys. Biblioteca utilizată la implementare conține buffere și inversoare de diferite dimensiuni pornind de la 0X și până la 32X, unde acest factor X indică o scalare proporțională a dimensiunii tranzistoarelor interne ale celulei față de o referință. Cu cât factorul X este mai mare, cu atât capacitatea celulei logice este mai mare și astfel celula respectivă poate conduce sarcini capacitive mai mari reducând astfel întârzierea semnalului pe trasee lungi și reducând de asemenea și consumul de energie. În structura arborelui de ceas s-au utilizat buffere și inversoare din tehnologia disponibilă, având mărimi cuprinse între 2X și 32X, pentru a asigura un arbore echilibrat și cu o arie minimizată. În lipsa constrângerilor evidente de arie din scenariul 2D, unde toate componentele trebuie plasate pe un singur strat, distribuția arborelui de ceas în configurația 3D devine mult mai uniformă. Această uniformizare se datorează posibilității de a dispersa mai eficient nodurile arborelui pe mai multe niveluri, reducând concentrarea excesivă a resurselor într-o singură zonă. O consecință directă a acestei distribuții optimizate este scăderea semnificativă a necesarului de buffere și inversoare. În arhitectura 3D, distanțele sunt reduse datorită stratificării componentelor, permițând o propagare mai eficientă a semnalului de ceas și, implicit, reducând necesitatea inserării unui număr mare de elemente de regenerare a semnalului.

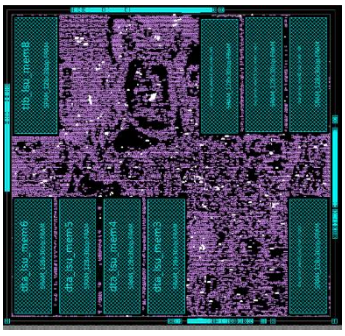


Fig. 10. Arborele de ceas implementat în scenariul 2D [14]

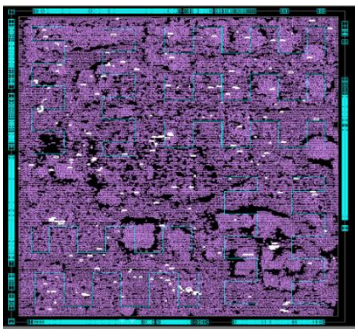


Fig. 11. Arborele de ceas implementat în scenariul 3D [14]

În raportul detaliat din tabelul 1 [14] sunt prezentate caracteristicile arborelui de ceas "l2clk" în varianta 2D și anume: scenariul "funcțional" în care a fost implementat arborele de ceas folosind o perioadă de 3 ns, pe un număr de 8 niveluri, la un circuit care conține un număr de 7729

de bistabile, și la implementarea căruia s-au folosit un număr de 274 buffere cu arie totală de 1565.27 um și un număr total de celule de clock 464 cu o arie totală de 2057.03 um. Skew-ul arborelui de ceas in scenariul 2D este de 0.056 ns. În tabelul 2 sunt rezultatele arborelui de ceas generat în scenariul 3D pentru a realiza o comparație cu rezultatele obținute după implementarea arborelui de ceas în varianta 2D.

În varianta 3D raportul arborelui de ceas "l2clk" prezintă următoarele caracteristici și anume: scenariul "funcțional" în care a fost implementat arborele de ceas folosind o perioadă de 3 ns, pe un număr de 9 niveluri, la un circuit care conține un număr de 7729 de bistabile, și la implementarea căruia s-au folosit un număr de 204 buffere cu arie totală de 1383.56 um și un număr total de celule de clock 393 cu o arie totală de 1879.39 um. Skew-ul arborelui de ceas în scenariul 3D este de 0.046 ns.

Tabelul 1 Raport arbore de clock 2D vs 3D

Parametri	**CTS 2D**	**CTS 3D**	**Variație obținută prin CTS 3D (%)**
Clock Tree Name	: "l2clk"	: "l2clk"	-
Scenario:	"func"	"func"	-
Clock Period:	3.00000	3.00000	-
Clock Tree root pin	: "l2clk"	: "l2clk"	-
Number of Levels	: 8	**: 9**	**−12,50%**
Number of Sinks	: 7729	: 7729	**0,00%**
Number of CT Buffers	: 274	: **204**	**25,55%**
Number of CTS added gates	: 0	: 0	**0,00%**
Number of Preexisting Gates	: 180	: 180	**0,00%**
Number of Preexisting Buf/Inv	: 10	:9	**10,00%**
Total Number of Clock Cells	: 464	: **393**	**15,30%**
Total Area of CT Buffers	:1565.27307 µm	: **1383.56042 µm**	**11,61%**
Total Area of CT cells	:2057.03809 µm	: **1879.39172 µm**	**8,64%**
Max Global Skew	: 0.05655 ns	**: 0.04670 ns**	**17.4 %**

Scăderea numărului de buffere folosite la CTS cu 25.5% în varianta 3D comparativ cu 2D și a numărului total de celule de ceas cu 15.3 % arată beneficiile integrării tridimensionale comparativ cu integrarea clasică 2D. Optimizarea tridimensională a circuitului, reduce lungimile conexiunilor atât cele medii cât și cele maxime, necesare pentru a conecta componentele circuitului, reducând disiparea puterii și crescând performanța în același timp. Reducerea totală a ariei circuitului datorată suprapunerii blocurilor de memorii peste celulele standard se reflectă la nivelul arborelui de ceas în următoarele aspecte:

- ✓ Numărul total de celule de ceas s-a redus cu 15.3%;
- ✓ Numărul de inversoare și buffere folosite la crearea arborelui de ceas a scăzut cu 25.5%;
- ✓ Valoarea skew-ului este redusă cu 17.8%.

După implementarea arborelui de clock, s-a realizat rutarea circuitului, etapă în care conexiunile logice între componentele circuitului sunt implementate și fizic cu metalele din tehnologie. Tehnologia folosită pentru implementarea acestui circuit conține 10 metale de la M1 la RDL (ReDistribution Layer), RDL fiind metalul TOP, în general din aluminiu. S-au folosit pentru rutarea conexiunilor de semnal doar 6 metale din 10 pentru primul strat, ultimele fiind folosite pentru rutarea pe stratul al doilea unde M7 devine primul metal de rutare – pe M7 sunt pinii memoriilor de pe stratul al doilea. Un factor important în etapa de rutare îl reprezintă congestia pe fiecare metal, care reprezintă raportul dintre numărul de track-uri de rutare disponibile și numărul de track-uri de rutare necesare pentru rutarea conexiunilor. În figurile 12 și 13 sunt prezentate capturi de ecran realizate în cadrul mediului de proiectare ICC Synopsys și reprezintă congestiile de rutare pe metal 3 în cele 2 scenarii de proiectare a circuitului integrat: 2D și respectiv 3D.

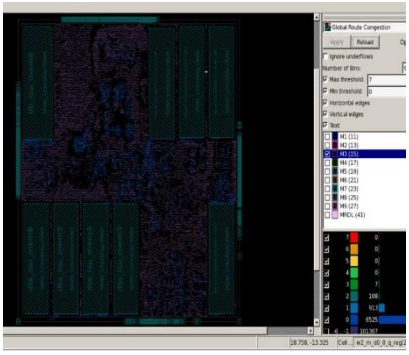


Fig. 12. Congestie pe M3 după rutare 2D

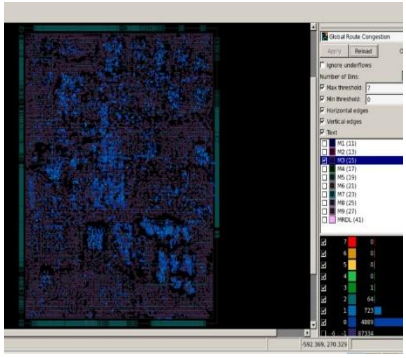


Fig. 13. Congestie pe M3 după rutare 3D

Congestia la nivelul stratului Metal 3 în cele 2 scenarii 2D și 3D este pusă în evidență de culoarea albastru, care după cum se poate observa este mai accentuată și mai compactă în scenariul 3D datorită micșorării suprafeței pe care este implementat circuitul integrat. Această creștere a congestiei pe metal 3 este o consecință directă a reducerii ariei totale disponibile pentru rutare, rezultat al suprapunerii blocurilor de memorie peste celulele logice standard. Datorită integrării pe verticală pe cele două straturi, aria totală a circuitului este minimizată iar densitatea metalelor la rutare este concentrată într-un spațiu mai compact, astfel evitându-se irosirea suprafeței de Siliciu neutilizată.

O congestie ridicată pe fiecare metal în parte, după cum se observă în figura 13, scoate în evidență o folosire optimă a ariei circuitului și o rutare a interconexiunilor mai eficientă decât în scenariul 2D. În Tabelul 2 sunt prezentate informațiile privind numărul total al conexiunilor din circuit, lungimea metalelor utilizate pentru rutarea interconexiunilor de semnal și numărul contactelor (vias) dintre straturile metalice, pe baza rapoartelor generate după etapa de rutare detaliată. Lungimea conexiunilor rutate este raportată pentru fiecare strat metalic, de la M1 până

la M6**.** Comparând cele două scenarii de implementare, 2D și 3D, se observă că lungimea totală a interconexiunilor rutabile în varianta 3D este cu aproximativ **16%** mai mică decât în varianta 2D.

Se poate observa scăderea lungimii totale a interconexiunilor în cazul plasării și rutării 3D, precum și scăderea lungimii pe fiecare metal în parte comparativ cu plasarea și rutarea 2D. De asemenea numărul de contacte folosite pentru trecerea de pe un metal pe altul, este mai mic în cazul plasării și rutării 3D. Comparativ cu implementarea 2D, integrarea 3D permite o distribuție mai eficientă a celulelor pe straturi multiple, ceea ce duce la o reducere a suprafeței totale ocupate de circuit.

Tabel 2 Raport conexiuni 2D vs conexiuni 3D

Parametri	**Rutare 2D**	**Rutare 3D**	**Reducere obținută prin rutarea 3D (%)**
Total Wire Length	1413384 **µm**	**1185951 µm**	**16.09%**
Total Number of Contacts	296263	**282697**	**4.58%**
Total Number of Wires	296115	**280907**	**5.14%**
Total Number of PtConns	43717	**42127**	**3.64%**
Total Number of Routable Wires	296115	**280907**	**5.14%**
Total Routable Wire Length	1413384 **µm**	**1185951 µm**	**16.09%**
Layer M1 :	132506 **µm**	**91947 µm**	**30.61%**
Layer M2 :	459813 **µm**	**379519 µm**	**17.46%**
Layer M3 :	367047 **µm**	**345682 µm**	**5.82%**
Layer M4 :	206906 **µm**	**157387 µm**	**23.93%**
Layer M5 :	141079 **µm**	**127957 µm**	**9.30%**
Layer M6 :	106032 **µm**	**83458 µm**	**21.29%**

În ***Capitolul 5*** s-a inițiat ideea de a modela structuri neuromorfice 3D care să fie capabile să proceseze local algoritmi AI (Inteligență Artificială) cu un consum minim de energie și să ocupe un spaţiu minim. Un element de noutate este lansarea și prezentarea conceptului de "Neural Grain" (grăunte neuronal) ce reprezintă o structutură AI hardware prin care se mimează o strucură a creierului biologic [19]. A fost modelată o structură cubică 3D a unui "Neural Grain" și s-a elaborat un cod VHDL ce este implementat, prin tool-ul de sinteză VIVADO, într-un circuit FPGA din familia ARTIX 7. În paralel, aceeași structură NG 4x4x1 a fost modelată într-o tehnologie ce emulează tehnologia monolithic 3D prin parcurgerea pașilor de sinteză utilizând tool-ul Genus de la Cadence.

Acest modul VHDL, numit neuron_NG, modelează un singur neuron artificial (perceptron) folosind logica digitală. Preia două intrări — o valoare xi pe 8 biți și o polarizare pe 8 biți — și emite un semnal binar Yo bazat pe o comparație între cele două intrări. Schema generată după implementarea codului VHDL pe placa FPGA este cea din figura 13 în care se pot observa cele 3 straturi de neuroni pe verticală, dintre care primele două straturi sunt formate din 4 neuroni, iar

ultimul strat conține doar un singur neuron. Fiecare neuron din fiecare strat este alcătuit dintr-un multiplicator și o celulă de memorare așa cum se poate observa în figura 13.

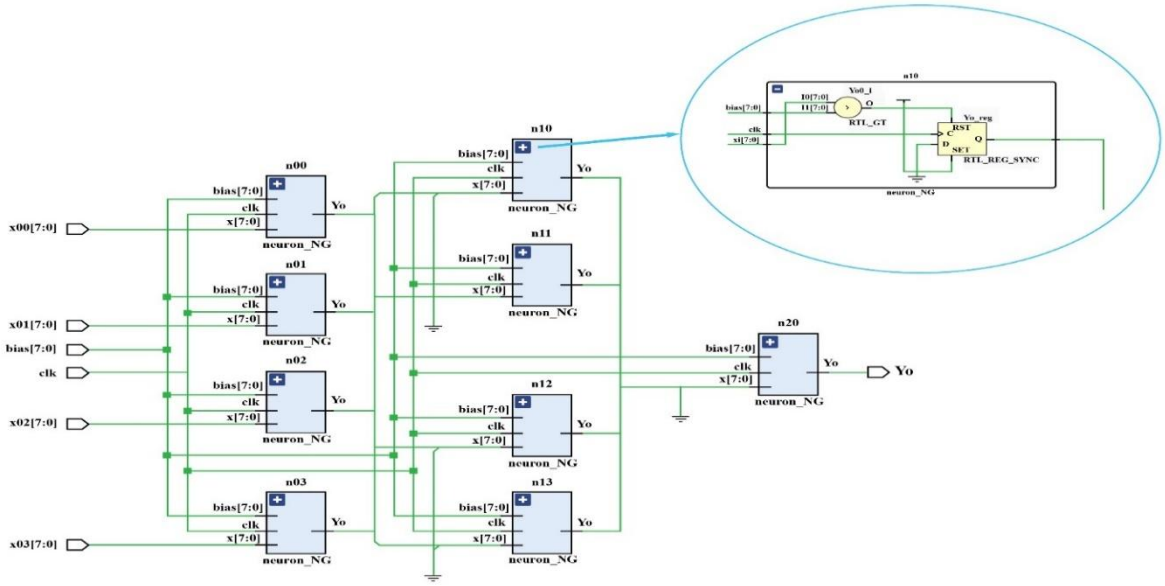


Fig. 13 Schema generată cu instrumentul VIVADO pentru rețeaua Grain Neuron

Rețeaua neuronală Neural Grain este introdusă ca o nouă arhitectura neuronală modulară 3D și definită ca un perceptron multistrat compact de dimensiune 4x4x1 care poate fi utilizată ca o unitate atomică de calcul în cadrul unor sisteme neuronale mai mari și scalabile. Spre deosebire de arhitecturile tradiționale de rețele neuronale, care adoptă de obicei topologii 2D centrate pe straturi și cu ponderi distribuite la nivel global, Neural Grain pune accent pe modularitatea fizică, calculul local și circuitul optimizat hardware. NG permite replicarea și aranjarea ușoară în platforme bazate pe FPGA sau neuroforme fără a reproiecta logica de rutare sau alocare a resurselor. În timp ce arhitecturile neuronale tradiționale, precum rețelele complet conectate (FCN), rețelele neuronale convoluționale (CNN) și rețelele neuronale recurente (RNN), oferă flexibilitate topologică și performanțe ridicate în medii software sau cloud, implementarea acestora în hardware este adesea limitată de probleme de scalabilitate, constrângeri de timp real și cerințe ridicate privind consumul energetic. În schimb, Neural Grain excelează în sisteme încorporate și contextele edge-AI oferind inferență cu latență scăzută, comportament determinist și amprentă redusă de memorie. Compromisul constă în structura sa mai rigidă și lipsa suportului inerent pentru operațiunile spațiale (de exemplu convoluția), facându-l cel mai potrivit pentru utilizare ca element de bază în arhitecturi hibride mai complexe. Conceptul Neural Grain face astfel o punte între calculul neuronal abstract și implementările hardware practice, modulare.

CONCLUZII GENERALE ȘI RECOMANDĂRI

Tema propusă spre cercetare a avut ca scop dezvoltarea unei metodologii de implementare a unui circuit tridimensional folosind instrumentele tradiționale de implementare 2D, prin adaptarea fișierelor tehnologice astfel încât sa fie permisă suprapunerea straturilor. Această metodologie oferă suport tehnologiei monolitic 3D pentru fabricare înainte de dezvoltarea instrumentelor de proiectare care să suporte conceptul de multistrat. În baza cercetărilor și rezultatelor obținute se pot formula următoarele concluzii generale:

1. Abordarea tridimensională a implementării circuitelor electronice facilitează integrarea eterogenă (partea digitala, senzori și memorii pot fi implementate pe aceeași pastilă de siliciu) si utilizarea de tehnologii mixte (tehnologii vechi – 28nm - alaturi de tehnologii noi -7nm -, tehnologii analogice – BiCMOS - alaturi de tehnologii digitale standard – CMOS - si tehnologii specifice memoriilor – FLASH) [10].

2. Metodologia descrisă realizează o legătură între principiile teoretice și cele mai bune practici din industrie prin integrarea constrângerilor din lumea reală, limitările instrumentelor și considerațiile de fabricabilitate. Acest lucru asigură că fluxul nu este doar riguros din punct de vedere academic, ci poate fi implementat în mediile comerciale de proiectare a semiconductorilor, sporind impactul și aplicabilitatea acestuia [17].

3. Procedura de lucru utilizată facilitează explorarea spațiului de proiectare în stadiu incipient, permițând proiectanților să facă compromisuri informate între putere, performanță și arie. Prin structurarea eficientă a strategiilor de sinteză și de plasare respectiv rutare a conexiunilor, aceasta permite optimizări care asigură eficiența proiectării, respectând în același timp constrângerile de timp, putere și implementare fizică [15,17].

4. Utilizarea scripturilor TCL facilitează controlul structurat al iterațiilor, permițând ajustări și optimizări rapide în timpul sintezei, DFT și plasării respectiv rutării. Această abordare accelerează convergența circuitului și îmbunătățește productivitatea permițând reglarea eficientă a parametrilor [17].

5. Integrarea 3D monolitică a logicii și a memoriilor, realizată prin adaptarea fluxului 2D, a condus la reducerea ariei totale cu 50%. Lungimea totală a conexiunilor rutate a scăzut cu aproximativ 20% în scenariul 3D comparativ cu 2D. Această reducere a lungimii interconectărilor a determinat o scădere cu 13.5% a numărului total de buffere**,** datorită necesității mai reduse de compensare a întârzierilor de propagare pe trasee mai scurte [13].

6. Viteza de propagare a datelor crește: proiectarea circuitului utilizând tehnologia monolitic 3D duce la creșterea performanțelor circuitului integrat final. Distribuția uniformă a

rețelei de ceas în scenariul 3D pe întreaga arie a circuitului (datorită eliberării suprafeței) comparativ cu scenariul 2D a condus la [14]:

- ✓ Numărul de inversoare și buffere folosite la crearea arborelui de ceas a scăzut cu 25.5%;
- ✓ Numărul total de celule de ceas s-a redus cu 15.3%;
- ✓ Aria totală a inversoarelor și buffere-lor a scăzut cu 11.6% ;
- ✓ Aria totală a celulelor de ceas s-a redus 9% ;
- ✓ Numărul de niveluri ale arborelui de ceas a crescut cu 12.5% contribuind la o distribuție mai uniforma a semnalului de ceas;
- ✓ Valoarea skew-ului este redusă cu 17.8%.

7. În dezvoltarea programelor care să realizeze implementarea circuitelor tridimensionale, o atenție deosebită se va acorda proiectării unui instrument de partiționare eficient, care pe baza unor date de intrare cum ar fi netlistul, fișierul de constrângeri și librăriile tehnologice să genereze soluții de împărțire a circuitului pe straturi [18].

8. Natura structurată și modulară a procesului de lucru descris pune bazele progreselor viitoare în proiectarea circuitelor integrate. Domeniile potențiale pentru cercetări ulterioare includ integrarea tehnicilor de inteligență artificială (AI) și de învățare automată (ML) pentru a îmbunătăți sinteza și optimizările locului și rutei, îmbunătățiri ale metodologiilor de procesare paralelă și perfecționarea în continuare a strategiilor de verificare pentru a crește automatizarea și acuratețea în validarea circuitului în stadiu incipient [17,19].

9. Trecerea de la metodologia de proiectare a circuitelor integrate în tehnologie 2D la proiectare în tehnologie 3D reprezintă o provocare majoră în microelectronică, dar și o oportunitate pentru inovare. Utilizarea unui flux de lucru experimental de proiectare 3D care folosește instrumente 2D poate constitui un punct de plecare pentru adaptarea și dezvoltarea de noi tehnologii care să faciliteze progresul în dezvoltarea circuitelor integrate tridimensionale. Întregul flux de lucru de Backend al implementării circuitului integrat tridimensional a fost executat folosind instrumente standard 2D EDA cu modificări adecvate ale fișierelor tehnologice [15,17].

În baza analizei rezultatelor obținute în lucrare se pot formula următoarele **recomandări:**

1. Se recomandă folosirea lanțurilor de instrumente acreditate de fabrica a căror proces este folosit (e.g. TSMC folosește instrumente de la Synopsys și de la Cadence) pentru dezvoltarea și implementarea fluxului de lucru de lucru și/sau a circuitului integrat tridimensional.

2. Se recomandă înțelegerea în aprofunzime a fișierelor tehnologice (LEF, DEF, LIB) ce urmează a fi adaptate pentru integrarea tridimensională. Informațiile conținute în aceste fișiere pot fi modificate astfel încât să facilititeze acceptarea de către instrumentele de plasare și rutare a suprapunerii celulelor între ele fără a raporta erori.

3. Înțelegerea în detaliu a modului de funcționare a instrumentelor folosite pentru implementarea fluxului de lucru – cu referire la algoritmii interni, a etapelor în care sunt folosiți și a succesiunii acestor etape. Aceasta se recomandă pentru a înțelege modul în care instrumentele interpretează datele de intrare în fiecare etapă și modul de evaluare a parametrilor specifici fiecărei etape.

4. Se recomandă folosirea circuitelor care se pliază pe abordarea tridimensională - prezintă avantaje la folosirea de tehnologii diferite:

a. necesită componente analogice (e.g. convertoare, PLL);

b. folosesc memorii FLASH;

c. au în componența lor un necesar de memorii SRAM a căror arie este comparabilă cu aria celulelor logice standard;

d. conțin blocuri funcționale cu necesar de frecvență implementabilă atât în tehnologii noi (e.g. CPU) cât și în tehnologii mai vechi (e.g. interfață de comunicare).

5. Înainte de a investi în instrumente de plasare și rutare 3D, se recomandă să se facă cercetare și analiză pe circuit și librărie cu ajutorul instrumentelor actuale 2D. Astfel se pot valida avantajele implementării tridimensionale în termeni de arie, conexiuni, viteza, consum de putere și se poate dezvolta fluxul de lucru care să fie folosit cu instrumentele 3D.

BIBLIOGRAFIE

1. DEBENEDICTIS, E.P., BADAROGLU, M., CHEN, A., CONTE, T.M., and GARGINI, P. Sustaining Moore's law with 3D chips. In: *Computer*. 2017. Vol. 50, no. 8, p. 69–73. ISSN 0018-9162.

2. DAVIS, J.A., VENKATESAN, R., KALOYEROS, A., BEYLANSKY, M., SOURI, S.J., BANERJEE, K., SARASWAT, K.C., RAHMAN, A., REIF, R., and MEINDL, J.D. Interconnect limits on gigascale integration (GSI) in the 21st century. In: *Proceedings of the IEEE*. 2001. Vol. 89, no. 3, p. 305–324. ISSN 00189219.

3. ZHOU, L., WAKAYAMA, C., PANDA, R., JANGKRAJARNG, N., HU, B., and SHI, C.-J.R. *Implementing a 2-Gbs 1024-bit ½-rate low-density parity-check code decoder in three-dimensional integrated circuitss*. In: *2007 25th International Conference on Computer Design*. 2007. p. 194–201. ISBN 978-1-4244-1257-0.

4. KIM, D.H., KIM, S., and LIM, S.K. A Study on the Impact of Nano-Scale TSVs on 3D IC Designs. In: *2011 IEEE/ACM International Workshop on System Level Interconnect Prediction (SLIP)*. 2011. p. 7-12. ISBN 978-1-4577-1240-1, 978-1-4577-1241-8.

5. DAS, S., KUMARI, B., SATYENDRA SAHOO, S., CHEN, Y., MYERS, J., MILOJEVIC, D., BISWAS, D., and RYCKAERT, J. Toward Fine-Grained Partitioning of Low-Level SRAM Caches for Emerging 3D-IC Designs. In: *IEEE Journal on Exploratory Solid-State Computational Devices and Circuits*. 2024. Vol. 10, p. 67–74. ISSN 2329-9231.

6. FAROOQ, U., and ALZAHRANI, B.A. Exploring and optimizing partitioning of large designs for multi-FPGA based prototyping platforms. In: *Computing*. 2020. Vol. 102, no. 11, p. 2361–2383. ISSN 0010-485X, 1436-5057.

7. SHEN, W.-W., and CHEN, K.-N. Three-Dimensional Integrated Circuit (3D IC) Key Technology: Through-Silicon Via (TSV). In: *Nanoscale Research Letters*. 2017. Vol. 12, no. 1, p. 56. ISSN 1931-7573, 1556-276X.

8. DAE HYUN KIM and SUNG KYU LIM. Physical Design and CAD Tools for 3-D Integrated Circuits: Challenges and Opportunities. In: *IEEE Design & Test*. 2015. Vol. 32, no. 4, p. 8–22. ISSN 2168-2356, 2168-2364.

9. VEMURI, M.S., and TIDA, U.R. Modeling and Design of Dual-Purpose MIV in Monolithic 3D IC. In: *IEEE Access*. 2024. Vol. 12, p. 23066–23080. ISSN 2169-3536.

10. **Pletea, I.M.**, Şontea Victor. Heterogenous integrations on 3d integrated circuits. In: *Materials Science and Condensed Matter Physics, dedicated to the 60th anniversary from the*

foundation of the Institute of Applied Physics. Ediția 10. 2024. Chișinău, Republica Moldova. p. 146. ISBN 978-9975-62-763-4

11. YIN, L., HU, H., and LI, C. Research on Circuit Partitioning Algorithm Based on Partition Connectivity Clustering and Tabu Search. In: *Technologies*. 2025. Vol. 13, no. 2, p. 81. ISSN 2227-7080.

12**. PLETEA, I.-M.**, SONTEA, V., and ALECSANDRESCU, I. CTS OPTIMIZATION ON 3D INTEGRATION. In: *Conferința Internațională "Telecommunicații, Electronică și Informatică.* 2019. Chișinău, Republica Moldova. p. 62. ISBN 978-9975-108-84-3.

13. **PLETEA, I.-M.**, ȘONTEA, V., and COJOCARU, V. Impactul conexiunilor verticale asupra ariei in integrarea 3D. In: *Conferința Internațională "Telecommunicații, Electronică și Informatică* . 2018. Chișinău, Republica Moldova. pp. 375-377. ISBN 978-9975-45-540-4.

14. **PLETEA, I.-M**., Sontea, V. IMPACTUL INTEGRARII 3D ASUPRA CONSTRUIRII ARBORELUI DE CLOCK. In: *Conferința tehnico-științifică a studenților, masteranzilor și doctoranzilor*. 2019. Chișinău, Republica Moldova. Vol. 1, pp. 397-399. ISBN 978-9975-45-588-6.

15. **PLETEA, I.**, WURMAN, Z., OR-BACH, Z., and SONTEA, V. Monolithic 3D layout using 2D EDA for embedded memory-rich designs. In: *2015 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*. 2015. p. 1–2. ISBN 978-1-5090-0259-7.

16. SHAH, M., BARREH, J., BROOKS, J., GOLLA, R., GROHOSKI, G., GURA, N., HETHERINGTON, R., JORDAN, P., LUTTRELL, M., OLSON, C., SAHA, B., SHEAHAN, D., SPRACKLEN, L., WYNN, A., and MICROSYSTEMS, S. UltraSPARC T2: A Highly-Threaded, Power- Efficient, SPARC SOC. In: *2007 IEEE Asian Solid-State Circuits Conference.* 2007. ISBN:978-1-4244-1359-1, 978-1-4244-1360-7.

17. **PLETEA, I.-M**. METHODOLOGY AND BACKEND FLOW OPTIMIZATION FOR 3D. In: *JOURNAL OF ENGINEERING SCIENCE*. 2024. Vol. 31, no. 2, p. 39–47. ISSN 2587-3482, 2587-3474.

18. **Pletea, I.M.**, Șontea Victor. Design and Partitioning Across 2 Strata în 3D IC architectures. In: *International Conference on Electronics, Communications and Computing, IC ECCO 2024.* Chișinău, Republica Moldova p. 107-108. ISBN 978-9975-64-480-8.

19. **PLETEA, I.,** ALECSANDRESCU, I., LUCANU, N., AGHION, C., BARABASA, C., ZBANCIOC, M., HĂGAN, M., and SONTEA, V. Neural Grain implemented in monolithic 3D technology. 2025. In: *International Symposium on Signals, Circuits, and Systems,* Iași, România.

LISTA LUCRĂRILOR ȘTIINȚIFICE ȘI ȘTIINȚIFICO-METODICE-DIDACTICE PUBLICATE LA TEMA TEZEI

a doamnei Pletea Ionica-Marcela, doctorandă la forma de învățământ fără frecvență
specialitatea 233.01 ” NANO-MICROELECTRONICĂ ŞI OPTOELECTRONICĂ”

LISTA LUCRĂRILOR PUBLICATE LA TEMA TEZEI

Articole în lucrările manifestărilor ştiinţifice incluse în bazele de date Web of Science și SCOPUS:

1. **Pletea, I.M.**, Wurman Zeev, Or-Bach Zvi, Şontea Victor. Monolithic 3D layout using 2D EDA for embedded memory-rich designs. În: *IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference S3S 2015*. 2015. New Jersey. p. 1-2. ISBN 978-150900259-7.
2. CHIPER, R., ALEXA, D., GORAS, T.C., PLETEA, I.V., **PLETEA, I.M.,** and ALEXANDRESCU, A. An Analysis of Asymmetrical RNSIC Converter with Capacitors on the AC Side for High and Medium Power. In : *2007 International Symposium on Signals, Circuits and Systems*. 2007. p. 1–4. ISBN 978-1-4244-0968-6.
3. **Pletea, I.M.**, Iolanda Alecsandrescu, Nicolae Lucanu, Cristian Aghion, Constantin Barabasa, Marius Zbancioc, Marius Hăgan, Victor Sontea. Neural Grain implemented in monolithic 3D technology. În: *In Proceedings of the 17th International Symposium on Signals, Circuits, and Systems (July 17–18, 2025)*, Faculty of Electronics, Telecommunications and Information Technology, Technical University of Iași, Romania. ISBN:979-8-3315-5300-5.

Articole în lucrările manifestărilor ştiinţifice incluse în alte baze de date acceptate de ANACEC:

4. **Pletea, I.M.**, Şontea Victor, Cojocaru Victor. Impactul conexiunilor verticale asupra ariei in integrarea 3D. În: *Conferința Internațională* “*Telecommunicații, Electronică și Informatică”.* Ed. 6. 2018. Chișinău, Republica Moldova. pp. 375-377. ISBN 978-9975-45-540-4.
5. **Pletea, I.M.**, Şontea Victor, Alecsandrescu Iolanda. CTS optimization on 3D integration. În: *Conferința Internațională* “*Telecommunicații, Electronică și*

Informatică”. Editia 10. 2019. Chișinău, Republica Moldova. p. 62. ISBN 978-9975-108-84-3.

6. **Pletea, I.M.**, Şontea Victor. Design and Partitioning Across 2 Strata în 3D IC architectures. În: *International Conference on Electronics, Communications and Computing*, IC ECCO 2024. Editia 13. 2024. Chișinău. Pp. 107-108. ISBN (pdf) 978-9975-64-480-8 (PDF).

Articole în lucrările manifestațiilor ştiinţifice incluse în Registrul materialelor publicate în baza manifestărilor științifice organizate din Republica Moldova:

7. **Pletea, I.M**., Impactul integrării 3D asupra Construirii Arborelui de Clock. În: *Conferinţa tehnico-ştiinţifică a studenţilor, masteranzilor şi doctoranzilor*. Vol.1. 2019. Chișinău, Republica Moldova. Vol. 1, pp. 397-399. ISBN 978-9975-45-588-6.
8. **Pletea, I.M.**, Şontea Victor. Heterogenous integrations on 3d integrated circuits. În: *Materials Science and Condensed Matter Physics, dedicated to the 60th anniversary from the foundation of the Institute of Applied Physics*. Ediția 10. 2024. Chișinău, Republica Moldova. p. 146. ISBN 978-9975-62-763-4.

Articole în reviste din Registrul Naţional al revistelor de profil, cu indicarea categoriei:

9. **Pletea, I.M**., Methodology and backend flow optimization for 3D. În: *Journal of Engineering Science,* categoria B+. 2024, Vol. 31 Nr. 2 (iulie 2024), pp. 39–47. ISSN 2587-3474.

Articole în reviste științifice din România:

10. R. Chiper, D. Alexa, **I.M. Pletea**, A. Petrichei. A Comparative Study between Classical Three-Phase Rectifier Configuration with Passive Filters and Converter Configurations with Small Harmonic Contents Having Capacitors on the AC Side. În: *Buletinul Științific al Universității „Politehnica” din Timișoara, Seria Electronică și Telecomunicații, Tom* 53(67), vol. 53(67) Fascic ola 1, no. 1, pp. 19-22, 2008, ISSN 1583-3380.

Cereri de brevete de invenție depuse la Registratura OSIM – Oficiul de Stat pentru Invenții și Mărci, România:

11. **Pletea I.M**., Arhitectura 3D monolitică hibridă. Cerere de brevet de invenție Numărul A2025/00521 din 12.11.2025.
12. **Pletea I.,** Metoda de realizare a dispozitivelor mmemristive în structuri Monolitice 3D. Cerere de brevet de invenție Numărul A/00395 din 17.06.2026.

ADNOTARE

la teza cu titlul ”**PROIECTAREA CIRCUITELOR INTEGRATE PE VERTICALĂ FOLOSIND SOFTURILE CURENTE 2D DE PROIECTARE DIGITALĂ**”, înaintată de **PLETEA Ionica-Marcela**, pentru conferirea gradului științific de doctor în științe inginerești, la specialitatea 233.01 ”NANO-MICROELECTRONICĂ ŞI OPTOELECTRONICĂ”.

Structura tezei: Teza este scrisă în limba română și constă din introducere, 5 capitole, concluzii generale și recomandări, bibliografie din 141 titluri, 7 anexe, 113 pagini de text de bază, 61 figuri, 5 tabele. Rezultatele obținute sunt publicate în 10 articole științifice și validate prin două certificate de implementare și 2 cereri de brevet, care atestă aplicarea practică a metodologiei și a soluțiilor dezvoltate în cadrul cercetării doctorale.

Cuvinte-cheie: circuite integrate, nanotehnologii, integrare pe verticală, monolitic 3D, EDA.

Scopul lucrării: constă în dezvoltarea unei metodologii integrate pentru proiectarea și validarea experimentală a circuitelor monolitice 3D, cu accent pe adaptarea fluxului de lucru, a fișierelor tehnologice, respectiv a instrumentelor tradiționale de implementare 2D, la integrarea pe verticală.

Obiectivele cercetării: Dezvoltarea unei metode cheie necesare adaptării uneltelor EDA 2D pentru proiectarea circuitelor integrate în tehnologie de integrare monolitică 3D. În acest scop, a fost elaborată o metodologie bazată în mare parte pe fluxurile existente de proiectare 2D, completată cu etape specifice și necesare integrării 3D monolitice. Cercetarea a urmărit modificarea etapelor de floorplanning, plasare și rutare astfel încât acestea să devină sensibile la cea de-a treia dimensiune. De asemenea, bibliotecile utilizate în cadrul fluxului de proiectare au fost completate cu parametri, atribute și valori specifice integrării monolitice 3D. Un alt obiectiv a constat în definirea unei strategii de partiționare pe două straturi, în care celulele logice sunt plasate pe primul strat, iar blocurile de memorie pe al doilea strat, pentru a permite aplicarea eficientă a metodologiei propuse.

Noutatea şi originalitatea ştiinţifică: constă în demonstrarea implementării unui circuit integrat monolitic 3D utilizând doar instrumente de proiectare 2D. Abordarea propusă in cadrul acestei teze este de a reutiliza cât mai mult posibil instrumentele convenționale existente 2D EDA și concentrarea doar pe câteva elemente critice EDA necesare pentru a permite crearea de metodologii 3D eficiente cu utilizarea instrumentelor actuale.

Problema ştiinţifică şi de cercetare soluţionată: constă în dezvoltarea și validarea unei metodologii care permite implementarea circuitelor integrate în tehnologie 3D monolitică utilizând instrumente EDA destinate proiectării ASIC 2D, prin modelarea memoriilor cu structuri virtuale de tip serpentină și adaptarea fluxului de implementare fizică la cerințele integrării verticale, eliminând astfel lipsa unui flux consacrat de proiectare pentru această tehnologie.

Semnificația teoretică și valoarea aplicativă a lucrării: Metodologia propusă spre cercetare stă la baza creării unui proces complet pentru proiectarea circuitelor integrate folosind tehnologia monolitică 3D. Aplicarea acestei metodologii creează premisele realizării unor circuite integrate cu performanțe superioare și consum redus de energie, valorificând infrastructura existentă și contribuind la reducerea costurilor de dezvoltare..

Implementarea rezultatelor stiințifice: Rezultatele cercetării demonstrează fezabilitatea utilizării instrumentelor de proiectare 2D pentru implementarea circuitelor integrate monolitic 3D și validează aplicabilitatea practică a metodologiei propuse. Aceste rezultate vor fi transferate în mediul educațional prin dezvoltarea și introducerea unui modul de curs dedicat proiectării circuitelor integrate 3D, destinat studenților masteranzi, contribuind la formarea specialiștilor în domeniul microelectronicii avansate.

АННОТАЦИЯ

к диссертации ”**ПРОЕКТИРОВАНИЕ ВЕРТИКАЛЬНЫХ ИНТЕГРАЛЬНЫХ СХЕМ С ИСПОЛЬЗОВАНИЕМ СОВРЕМЕННЫХ ПРИЛОЖЕНИЙ 2D ДЛЯ ЦИФРОВОГО ПРОЕКТИРОВАНИЯ**”, представленной соискателем **ПЛЕТЯ Ионика-Марчела**, для присуждения ученой степени доктора технических наук по специальности 233.01 ”НАНО-МИКРОЭЛЕКТРОНИКА И ОПТОЭЛЕКТРОНИКА”.

Структура диссертации: Диссертация написана на румынском языке и состоит из введения, 5 глав, общих выводов и рекомендаций, библиографии, включающей 141 наименование, 5 приложений, 113 страниц основного текста, 61 рисунков и 7 таблиц. Полученные результаты опубликованы в 10 научных статьях и подтверждены 2 сертификатами внедрения и 2 заявками на патент, что свидетельствует о практическом применении методологии и решений, разработанных в рамках докторского исследования.

Ключевые слова: интегральные схемы, нанотехнологии, вертикальная интеграция, монолитная 3D, САПР.

Цель работы: Разработка методологии для проектирования и экспериментальной проверки монолитных 3D схем, с фокусом на применение потока работы, технологических файлов, а также традиционных инструментов разработки 2D, в вертикальной интеграции.

Задачи исследования: Разработка ключевой методики при использовании инструментов САПР 2D в технологии интеграции монолитной 3D. Разработка методики, состоящей из шагов, применяемых в уже существующих методиках проектирования интегральных схем 2D, дополненная шагами для интеграции монолитной 3D. Некоторые этапы проектирования должны быть изменены, чтобы стать «чувствительными к третьему измерению». А также библиотеки должны быть дополнены параметрами, атрибутами и значениями, в зависимости от характеристик монолитной 3D интеграции.

Научная новизна и оригинальность состоит в демонстрации экспериментальной разработки монолитной интегральной схемы 3D с использованием только инструментов проектирования 2D. Предложенный в этой работе подход заключается в повторном использовании как можно большего набора существующих инструментов 2D САПР и фокусирование только на некоторых критичных элементах САПР, необходимых для создания методологии 3D при использовании нынешних инструментов.

Решённая научно-техническая задача Заключается в разработке и валидации методологии, позволяющей реализовывать монолитные 3D интегральные схемы с использованием EDA-инструментов для проектирования 2D ASIC, тем самым устраняя отсутствие устоявшегося маршрута проектирования для данной технологии.

Теоретическая значимость и прикладная ценность работы: Предложенная методика стоит в основе создания полного процесса проектирования монолитных интегральных схем 3D. Проектирование интегральных схем с использованием этой методики проектирования поспособствует созданию более эффективных схем для ежедневного использования, но за ту же цену и потребляющих меньше энергии.

Внедрение научных результатов: Результаты исследования демонстрируют возможность использования инструментов двумерного проектирования для реализации монолитных трёхмерных интегральных схем и подтверждают практическую применимость предложенной методологии. Полученные результаты будут внедрены в образовательный процесс посредством разработки и внедрения учебного модуля по проектированию трёхмерных интегральных схем для студентов магистратуры, способствуя подготовке специалистов в области современной микроэлектроники.

ANNOTATION

to the thesis entitled "DESIGN OF VERTICAL INTEGRATED CIRCUITS USING CURRENT 2D DIGITAL DESIGN SOFTWARE", submitted by PLETEA Ionica-Marcela, for the award of the scientific degree of Doctor of Engineering Sciences, in the specialty 233.01 "NANO-MICROELECTRONICS AND OPTOELECTRONICS"

Thesis structure: The thesis is written in Romanian and consists of an introduction, 5 chapters, general conclusions and recommendations, a bibliography of 141 titles, 7 annexes, 113 pages of basic text, 61 figures, 5 tables. The results obtained are published in 10 scientific articles and validated through 2 implementation certificates and 2 patent applications filed, which attest to the practical applicability of the methodology and solutions developed within the doctoral research

Keywords: integrated circuits, nanotechnologies, vertical integration, monolithic 3D, EDA

The purpose of the work: consists of developing an integrated methodology for the design and experimental validation of 3D monolithic circuits, with a focus on adapting the workflow, technological files, and traditional 2D implementation tools, to vertical integration.

Research objectives: The research objectives included the development of a key method required for adapting 2D EDA tools to the design of integrated circuits using monolithic 3D integration technology. To achieve this goal, a methodology was developed based largely on existing 2D integrated circuit design flows, complemented by specific steps required for monolithic 3D integration. The research focused on modifying the floorplanning, placement, and routing stages to make them aware of the third dimension. In addition, the libraries used throughout the design flow were extended with parameters, attributes, and values specific to monolithic 3D integration. Another objective was the definition of a two-tier partitioning strategy, where logic cells are placed on the first tier and memory blocks on the second tier, enabling the efficient application of the proposed methodology.

Scientific novelty and originality: consists in the demonstration of the implementation of a 3D monolithic integrated circuit using only 2D design tools. The approach proposed in this thesis is to reuse as much as possible existing conventional 2D EDA tools and focus only on a few critical EDA elements necessary to enable the creation of efficient 3D methodologies using current tools.

The scientific and research problem solved: consists of the development and validation of a methodology that enables the implementation of monolithic 3D integrated circuits using EDA tools originally intended for 2D ASIC design, by modelling memory blocks as virtual serpentine structures and adapting the physical implementation flow to the requirements of vertical integration, thereby overcoming the absence of an established design flow for this technology.

Theoretical significance and applied value of the work: The proposed methodology provides the foundation for the development of a complete design process for integrated circuits using monolithic 3D technology. The application of this methodology creates the prerequisites for the realization of integrated circuits with enhanced performance and reduced power consumption while leveraging existing infrastructure and contributing to lower development costs.

Implementation of scientific results: The research results demonstrate the feasibility of using 2D design tools for the implementation of monolithic 3D integrated circuits and validate the practical applicability of the proposed methodology. These results will be transferred to the educational environment through the development and introduction of a course module dedicated to 3D integrated circuit design for master's students, contributing to the training of specialists in advanced microelectronics.

PLETEA IONICA-MARCELA

PROIECTAREA CIRCUITELOR INTEGRATE PE VERTICALĂ FOLOSIND SOFTURILE CURENTE 2D DE PROIECTARE DIGITALĂ

233.01 ” NANO-MICROELECTRONICĂ ŞI OPTOELECTRONICĂ”

Rezumatul tezei de doctor în științe inginerești

Aprobat spre tipar: *09.11.2026*
Hârtie ofset. Tipar RISO
Coli de tipar 2,5

Formatul hârtiei 60×84 1/16
Tirajul 50 ex.
Comanda nr.

U.T.M., MD-2004, Chişinău, bd. Ştefan cel Mare, 168.
Editura “Tehnica - UTM”
MD-2068, Chişinău, str. Studenţilor, 9/9